

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

11042369

Basic Patent (No,Kind,Date): JP 5047791 A2 19930226 <No. of Patents: 002>

FABRICATION OF THIN FILM TRANSISTOR (English)

Patent Assignee: TECHNOL KK AG

Author (Inventor): MASUSHIGE KUNIO; YUKI MASAKI

IPC: *H01L-021/336; H01L-029/784; H01L-021/302; H01L-027/12

CA Abstract No: 119(12)129747D

Derwent WPI Acc No: G 93-119651

JAPIO Reference No: 170340E000161

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 5047791	A2	19930226	JP 91223679	A	19910809	(BASIC)
JP 3122177	B2	20010109	JP 91223679	A	19910809	

Priority Data (No,Kind,Date):

JP 91223679 A 19910809

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

04056091 **Image available**

FABRICATION OF THIN FILM TRANSISTOR

PUB. NO.: 05-047791 [JP 5047791 A]

PUBLISHED: February 26, 1993 (19930226)

INVENTOR(s): MASUSHIGE KUNIO

 YUKI MASAKI

APPLICANT(s): A G TECHNOL KK [000000] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 03-223679 [JP 91223679]

FILED: August 09, 1991 (19910809)

INTL CLASS: [5] H01L-021/336; H01L-029/784; H01L-021/302; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R004 (PLASMA);

 R096 (ELECTRONIC MATERIALS -- Glass Conductors);

 R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS);

 R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 1389, Vol. 17, No. 340, Pg. 161, June 28, 1993 (19930628)

ABSTRACT

PURPOSE: To suppress leak current of TFT even when the source.drain voltage is high.

CONSTITUTION: After patterning of a gate electrode 5, a gate insulation film 4 is etched without peeling off a photo resist formed on the gate electrode 5 and then etching is further proceeded from the side part of the gate electrode 5 thus forming the end part of the gate electrode 5 on the inside of the gate insulation film 4.

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-47791

(43)公開日 平成5年(1993)2月26日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/336				
29/784				
21/302	J	7353-4M		
27/12	A	8728-4M		
		9056-4M		
			H 0 1 L 29/ 78	3 1 1 P
			審査請求	未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平3-223679

(22)出願日 平成3年(1991)8月9日

(71)出願人 392002206

エイ・ジー・テクノロジー株式会社
神奈川県横浜市神奈川区羽沢町松原1160番地

(72)発明者 増茂 邦雄

神奈川県横浜市神奈川区羽沢町1150番地
旭硝子株式会社中央研究所内

(72)発明者 結城 正記

神奈川県横浜市神奈川区羽沢町1150番地
旭硝子株式会社中央研究所内

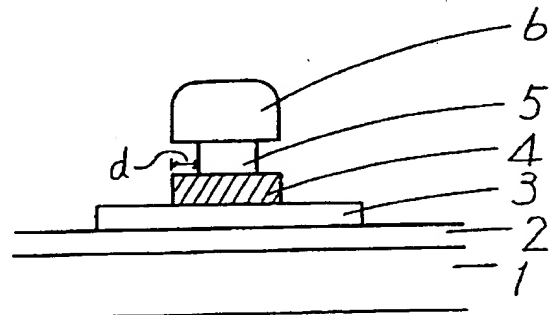
(74)代理人 弁理士 泉名 謙治

(54)【発明の名称】 薄膜トランジスタの製造方法

(57)【要約】

【目的】 ソース・ドレイン間電圧が大きい場合でも、TFTのリーク電流を抑制する。

【構成】 ゲート電極5のパターン化後、ゲート電極5上に形成されたフォトリジスト6を剥離することなく、ゲート絶縁膜4をエッチングし、さらにゲート電極5の側部よりエッチングを進行させることにより、ゲート電極5の端部をゲート絶縁膜4より内側に形成する。



【特許請求の範囲】

【請求項1】絶縁性の基板上に非単結晶半導体層、ゲート絶縁膜、ゲート電極をこの順に形成し、このゲート電極をマスクとして半導体層に不純物イオンを注入することにより、ゲート電極に対して自己整合的にソース・ドレイン領域を形成する薄膜トランジスタの製造方法において、上記ゲート電極をパターン化後、該ゲート電極上に形成されたフォトリソグラフィにより形成されたフォトリソグラフィを剥離することなく、上記ゲート絶縁膜をエッチングし、さらに該ゲート電極の側部よりエッチングを進行させることにより、該ゲート電極の端部を該ゲート絶縁膜より内側に形成することを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は画像表示装置等の駆動に使用される薄膜トランジスタの製造方法に関するものである。

【0002】

【従来の技術】近年平面ディスプレイ等の画像表示素子への応用を目的とした薄膜トランジスタ(TFT)の開発が活発に行われている。ディスプレイの大型化、さらには周辺駆動回路のTFT化に対応するためTFT動作速度の向上が望まれている。TFTの動作速度を向上させるためにゲート・ドレイン間の寄生容量を減少させる試みが行われているが、ソース・ドレイン電極をゲート電極と自己整合的に形成する方法はきわめて有効な方法である。

【0003】ソース・ドレイン領域をイオン注入法によりゲート電極と自己整合的に形成する従来の自己整合型TFTの製造方法を、レーザー多結晶化半導体TFTを例にとって、従来のTFTの断面図である図4を参照しながら説明する。絶縁性の基板41上にパッシベーション膜42、非晶質半導体層を積層し、この非晶質半導体層にレーザー光を照射して多結晶化を行い、フォトリソグラフィにより多結晶半導体薄膜43のパターンを形成し、その上にゲート絶縁膜44、ゲート電極材料を積層し、再びフォトリソグラフィによりゲート電極のパターン45を形成し、ゲート絶縁膜44もゲート電極と同じパターンにエッチングする。

【0004】ここでイオン注入法によりゲート電極をマスクに多結晶半導体層に不純物イオンをドーピングし、不純物イオン活性化のための熱処理を行いソース・ドレイン領域47を形成する。さらに層間絶縁膜48を堆積し、ソース・ドレイン領域上にコンタクトホールを形成し、その上にソース電極・ドレイン電極49を形成する。

【0005】

【発明が解決しようとする課題】従来の半導体層上のゲート絶縁膜44もゲート電極と同じパターンにエッチングした後、ゲート電極をイオン注入のマスクとする方法

2

では、ゲート電極の下のチャネル領域とソース・ドレイン領域とが接する構造となる。この構造ではチャネル・ドレイン境界付近に電界が集中し、ソース・ドレイン間電圧が大きい条件ではリーク電流が異常に大きくなるという欠点がある。この現象は多結晶半導体薄膜トランジスタにおいて特に顕著である。これは駆動電圧の大きいノーマリ白型液晶、ポリマー分散型液晶等の駆動にはこのようなTFTは使用できないことを意味する。

【0006】また、ゲート電極とソース・ドレイン領域との間に1 μ m程度の長さの不純物イオンのドーピングがなされない領域を設けることにより異常なリーク電流の増大を防ぐことができることが知られている。しかしゲート電極のパターンとイオン注入のマスクとをそれぞれ通常のフォトリソグラフィにより形成する方法では1 μ m程度の距離を再現性良く実現することは極めて難しく、また工程数も増えるという問題があった。

【0007】

【課題を解決するための手段】本発明は上記の問題点を解決すべくなされたものであり、絶縁性の基板上に非単結晶半導体層、ゲート絶縁膜、ゲート電極をこの順に形成し、このゲート電極をマスクとして半導体層に不純物イオンを注入することにより、ゲート電極に対して自己整合的にソース・ドレイン領域を形成する薄膜トランジスタの製造方法において、上記ゲート電極をパターン化後、該ゲート電極上に形成されたフォトリソグラフィを剥離することなく、上記ゲート絶縁膜をエッチングし、さらに該ゲート電極の側部よりエッチングを進行させることにより、該ゲート電極の端部を該ゲート絶縁膜より内側に形成することを特徴とする薄膜トランジスタの製造方法を提供するものである。

【0008】以下にレーザー多結晶化半導体TFTを例にとり、図1～図3に従って本発明を詳細に説明する。まず、ガラス、セラミック、プラスチック等の絶縁性の基板1上にプラズマCVD、スパッタリング、減圧CVD、常圧CVD等によりSiO_x、SiN_x、SiO_xN_y、TaO_x等の単層または多層膜からなるパッシベーション膜2(膜厚可能範囲50～1000nm)、シリコン(Si)、ゲルマニウム(Ge)等の非単結晶半導体たる非晶質半導体層3(膜厚可能範囲10～2000nm)を形成する。

【0009】必要に応じて薄膜トランジスタのしきい値電圧を制御するため、非晶質半導体層3中にホウ素(B)あるいはリン(P)などの不純物を数十から数百ppm程度膜厚方向に均一あるいは不均一にドーピングする。

【0010】レーザー光を照射し、非晶質半導体層3の多結晶化を行い、フォトリソグラフィにより該多結晶半導体層をパターン化し、その上にプラズマCVD、スパッタリング、減圧CVD、常圧CVD等によりSiO_x、SiN_x、SiO_xN_y、TaO_x等の単層または

多層膜からなるゲート絶縁膜4(膜厚可能範囲50~2000nm)、更に真空蒸着法、スパッタリング法等によりクロム(Cr)、タンタル(Ta)、アルミニウム(Al)等の単層または多層膜からなるゲート材料を形成し、再びフォトリソグラフィによりゲートのパターンにゲート電極5を形成する。即ち、ゲートのパターン化を行う。

【0011】ここでフォトレジスト6を剥離することなく、 C_2F_6 をエッチングガスとして使用してゲート絶縁膜4をエッチングした後、さらにゲート電極5の側部よりエッチングを進行させることにより、ゲート電極5の端部をゲート絶縁膜4より距離d(0.5乃至2.0 μm 程度)だけ内側に形成する(図1)。

【0012】なお、図1に示す製造工程の前において、エッチングガスとして酸素ガスを含んだドライエッチングにより上記ゲート絶縁膜4のエッチングを行う場合はゲート絶縁膜4のエッチングと同時にゲート電極5上のフォトレジストが減少し、ゲート電極5のパターン端のゲート電極5表面が露出するため(図2)、ゲート電極5の側部よりの追加のエッチングについてはゲート電極5の端部付近および側部よりエッチングが進行することになる。

【0013】イオン注入法によりゲート電極5をマスクに多結晶半導体層のソース・ドレイン領域になる部分7に、P、B、ヒ素(As)等の不純物イオンを加速電圧1~40kVで $5 \times 10^{14} \sim 1 \times 10^{16}$ 個/ cm^2 ドーピングする。このとき水素(H)、弗素(F)等のイオンが同時に注入されてもよいし、 PH_x 、 B_xH_y 、 BFx などの分子イオンが同時に注入されてもよい。

【0014】ゲート電極5をマスクとしているが、ゲート電極5の端部より0.5乃至2.0 μm 程度ゲート絶縁膜4がはみだしており、この下の部分の多結晶半導体層には、P、B等がドーピングされないために、ソース・ドレイン領域とゲート電極5との間には0.5乃至2.0 μm 程度の間隔が設けられ、この位置関係は位置合わせ不要であり、必然的に(自己整合的に)決定される。

【0015】ゲート電極5の側部よりの追加のエッチングおよびゲート電極パターンのフォトレジストの除去はイオン注入の前に行ってもよいし、後に行ってもよい。必要に応じ不純物イオン活性化のための熱処理を行った後、層間絶縁膜8を堆積し、ソース・ドレイン領域上にコンタクトホールを形成し、その上にソース・ドレイン9を形成する(図3)。

【0016】なお、ゲート絶縁膜4のエッチングは、エッチングガスとして酸素ガスを含んだドライエッチングがより望ましい。フォトレジスト6をもわずかに減少して、ゲート電極5のエッチングを促進し易くなるからである。以上レーザー多結晶化半導体の場合を例にとって説明したが、半導体層は非晶質半導体であっても、多結晶半導体であっても本発明は適用可能である。また、非

単結晶半導体とは非晶質半導体、微結晶半導体、多結晶半導体を含む概念である。

【0017】

【実施例】以下、本発明の実施例を説明する。ガラス基板(旭硝子(株)製AN)上にプラズマCVD法により200nm厚の SiO_x によるパッシベーション膜および100nm厚のa-Siによる非晶質半導体層をガラス基板の温度450℃で形成した。

【0018】13Wのアルゴンイオンレーザー光を約50 μm 径に集光、照射し、a-Siの多結晶化を行った。フォトリソグラフィにより多結晶Siを島状にパターン化し、その上にプラズマCVD法により SiN_x 200nmからなるゲート絶縁膜を300℃にて堆積し、さらにゲート材料としてCr150nmを電子線加熱蒸着法により300℃で蒸着した。

【0019】フォトリソグラフィによりゲートのパターンにゲート電極となる導体部分を形成した。フォトレジストは東京応化工業(株)製OFPR-800、Crのエッチング液は硝酸第2セリウムアンモニウム0.3モル/リットル、過塩素酸2.6%の組成のものを室温で用いた。ここでフォトレジストを剥離することなくゲート絶縁膜をエッチングした。このエッチングはリアクティブイオンエッチングにより行い、エッチングガスはフロン14を5SCCM、酸素を5SCCMとした。この後、再び上述のCrのエッチング液に上記ガラス基板を60秒間浸漬しゲート電極の側部よりエッチングを進行させ、ゲート電極の端部を1.0(± 0.15) μm ゲート絶縁膜より内側に形成した。なお、この場合はフォトレジストの幅は図1に示す幅よりも狭くなる。

【0020】上記ゲート絶縁膜のエッチングガスは酸素ガスを含んでいるため、ゲート絶縁膜のエッチングと同時にゲート電極上のフォトレジストが減少し、ゲート電極端部表面が露出しており(図2)、ゲート電極の側部よりの追加のエッチングについてはゲート電極の端部表面および側部よりエッチングを進行したことになる。Crのエッチング液への浸漬時間を100秒間とするとゲート電極の端部は1.3(± 0.20) μm ゲート絶縁膜より内側に形成された。

【0021】Cr上のフォトレジストを除去した後、イオン注入法によりゲートのCrをマスクに多結晶Siの島のソース・ドレイン領域になる部分7に、Pイオンを加速電圧10kV、ドーズ量 2×10^{15} 個/ cm^2 の条件でドーピングした。ゲート電極をマスクとしているが、ゲート電極の端部より1.0 μm ゲート絶縁膜がはみだしており、この下の部分の多結晶半導体層には、Pイオンがドーピングされないために、ソース・ドレイン領域とゲート電極との間には1.0 μm の間隔が設けられる。不純物イオン活性化のための熱処理を行った後、層間絶縁膜8を堆積し、ソース・ドレイン領域上にコンタクトホールを形成し、その上にソース・ドレインを形成

した。

【0022】図5は実施例にかかるTFT(a)と従来のソース・ドレイン領域とゲート電極の下チャンネル領域とが接した構造の多結晶SiTFT(b)のドレイン電流-ゲート電圧特性曲線である。ゲートを逆バイアスしたときのリーク電流が大きく減少していることがわかる。

【0023】

【発明の効果】本発明の製造方法によれば、エッチング工程を1回追加するだけでソース・ドレイン間に高い電圧を印加してもリーク電流が少なく、好特性のTFTを製造することができる。

【0024】ゲート絶縁膜のエッチングをエッチングガスとして酸素ガスを含んだドライエッチングにより行い、ゲート絶縁膜のエッチングと同時にゲート電極上のフォトリソを減少させてパターン端のゲート電極表面が露出させ、ゲート電極の側部よりの追加のエッチングをゲート電極の端部および側部よりエッチングを進行させる場合は、ゲート電極側部よりのエッチング時間を

短縮し、ゲート電極端部の直線性の悪化を最小限に抑える効果を奏する。

【図面の簡単な説明】

【図1】本発明の製造方法におけるゲート電極エッチング後の段階を示すTFTの断面図

【図2】本発明の製造方法におけるドライエッチングによるゲート絶縁膜のエッチング後の段階を示すTFTの断面図

【図3】本発明の製造方法の最終段階を示すTFTの断面図

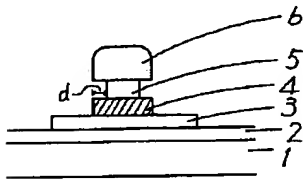
【図4】従来例のTFTの断面図

【図5】本発明にかかるTFTと従来のTFTのドレイン電流-ゲート電圧特性図

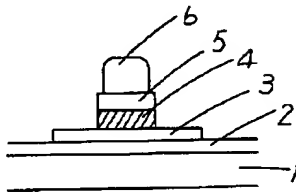
【符号の説明】

- 1 基板
- 3 非晶質半導体層
- 4 ゲート絶縁膜
- 5 ゲート電極
- 6 フォトリソ

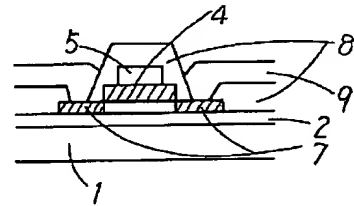
【図1】



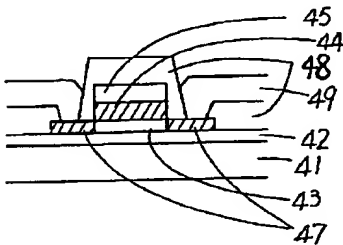
【図2】



【図3】



【図4】



【図5】

